

Poznań, 27 września 2021 r.

Dr hab. inż. Mieczysław Jessa, prof. PP

Politechnika Poznańska

Wydział Informatyki i Telekomunikacji

Instytut Systemów Multimedialnych

Biuro Dziekana	
Wpłynęło dnia	30.09.2021
Nr	307 / zał.

Recenzja rozprawy doktorskiej mgr inż. Mateusza Kuca pt. „*Energooszczędny dekodery kodów LDPC implementowany w układzie FPGA*”

1. Temat rozprawy, aktualność zagadnienia, cel pracy

Szybki rozwój technologiczny znacząco zwiększył wymagania stawiane urządzeniom telekomunikacyjnym realizującym określone zadania. Jednym z takich urządzeń są tzw. kodeki odpowiedzialne za proces kodowania i dekodowania danych binarnych w taki sposób, aby zapewnić optymalizację transmisji z punktu widzenia określonych wymagań. Podstawowym oczekiwaniem jest maksymalizacja szybkości przesyłanych danych binarnych przy zachowaniu akceptowalnej stopy błędów i założonym wydatku energetycznym.

Autor za cel swojej pracy postawił opracowanie sprzętowego dekodera LDPC (ang. Low Density Parity Check), który bez pogarszania szybkości transmisji, wartości bitowej stopy błędów oraz założonego wydatku energetycznego po stronie nadajnika umożliwi dekodowanie danych binarnych przy niższym poborze energii przez urządzenie odbiorcze. Miarą poprawy efektywności działania proponowanego dekodera jest mniejsze zużycie energii na jeden zdekodowany bit w stosunku do rozwiązań dekodów LDPC znanych z literatury. W badaniach założono, że transmisja odbywa się w kanale radiowym AWGN (ang. Additive White Gaussian Noise). Jako tezę rozprawy przyjęto zdanie: „*Istnieje możliwość implementacji energooszczędnych dekodów kodów LDPC w strukturach FPGA bez pogorszenia ich własności korekcyjnych.*” Tak postawiona teza ogranicza badania do struktur FPGA pomijając rozwiązania sprzętowe lub programowe dedykowane określonym zadaniom np. specjalizowane procesory sygnałowe czy układy ASIC (ang. Application Specific Integrated Circuit). Ograniczenie zakresu badań do układów FPGA jest uzasadnione i wynika z obowiązującej

metodologii wprowadzania na rynek nowych rozwiązań. Sprowadza się ona do wykonania następujących kroków: opracowanie koncepcji, weryfikacja koncepcji, najczęściej za pomocą symulacji komputerowych, implementacja w wybranym układzie i dalsza weryfikacja koncepcji, budowa demonstratora, badania sprawdzające, seria próbna, produkcja seryjna. W przypadku układów cyfrowych powszechnie wybieraną ścieżką jest weryfikacja koncepcji najpierw w eksperymencie symulacyjnym, a następnie w układzie FPGA. Przy produkcji małoseryjnej implementacja w tanich układach FPGA jest coraz bardziej konkurencyjna w stosunku do opracowania dedykowanych układów jakimi są konstrukcje rodzaju ASIC. W przypadku recenzowanej rozpatrywanej rozwiązaniem konkurencyjnym w stosunku do implementacji w układzie FPGA może być wykorzystanie systemu wzajemnie połączonych tzw. elementów przetwarzających PEs (*ang.* Processing Elements), realizujących pewien zbiór, często różnych zadań, znanego jako SoC (*ang.* System-on-Chip). Kodowanie kanałowe jest tutaj jednym z zadań realizowanych przez odbiornik, a problem minimalizacji zużycia energii dotyczy całego odbiornika.

Zagadnienie minimalizacji poboru energii przez dekodery przy braku pogorszenia parametrów pracy systemu jest zagadnieniem aktualnym i ważnym dla rozwoju układów korzystających z kodów LDPC, niezależnie od ostatecznej decyzji co do wyboru implementacji nadajnika i odbiornika z kodekiem LDPC. Należy także zauważyć, że powszechny dostęp do tanich układów FPGA oraz SoC spowodował, iż kryterium minimalizacji zużycia energii zaczyna odgrywać większą rolę od kryterium wykorzystanych zasobów przy wyborze ostatecznego rozwiązania. Potwierdzenie tej tezy można także znaleźć w badaniach Doktoranta, gdzie wzrost liczby wykorzystanych konfigurowalnych komórek logicznych ALM niekoniecznie prowadzi do zwiększenia zużycia energii, a wręcz przeciwnie zmniejsza zużycie energii na jeden zdekodowany bit w stosunku do znanych rozwiązań dekodów LDPC (rozdz. 5, tabele od 2 do 10).

2. Analiza stanu wiedzy, dobór źródeł i sposób formułowania wniosków wynikających z analizy źródeł

Literatura na temat kodów i kodeków kanałowych jest bardzo bogata i liczy co najmniej kilka tysięcy pozycji. Spis literatury podany przez Autora zawiera prace ważne z punktu widzenia realizacji celu rozprawy i jest jej mocną stroną. Analiza stanu wiedzy jest przeprowadzona konsekwentnie, z uwzględnieniem najnowszych publikacji na temat dekodów kodów LDPC, ze szczególnym uwzględnieniem implementacji sprzętowych.

Zarówno sposób formułowania jak i treść wniosków wynikających z analizy źródeł wskazują na dużą wiedzę Autora w obszarze objętym tematem rozprawy oraz w obszarach pokrewnych.

3. Struktura rozprawy i sposób przedstawienia wyników

Rozprawa została napisana w języku polskim, a jej zasadnicza część obejmuje 112 stron. Została podzielona na sześć rozdziałów uzupełnionych spisem literatury zawierającym 150 pozycji bibliograficznych, zapisanych na 13 stronach. Przed spisem treści Autor umieścił podziękowania, a za spisem treści wykaz ważniejszych oznaczeń, wykaz ważniejszych skrótów oraz spis tabel i spis rysunków. Ponieważ w treści rozprawy Autor bardzo często używa skrótów oraz wielu oznaczeń, zamieszczony wykaz jest bardzo przydatny podczas czytania pracy. Strukturę rozprawy oceniam jako prawidłową.

Sposób przedstawienia wyników oceniam jako właściwy. Rozdziały pozostają w odpowiednim związku przyczynowo-skutkowym. Autor jasno przedstawia koncepcję rozprawy, formułuje cel główny i cele cząstkowe oraz swobodnie posługuje się językiem polskim. W tekście nie znalazłem znaczących uchybień językowych. Jedyna istotna uwaga dotyczy numeracji tabel oraz odwołań do wzorów. W przypadku tabel należałoby zastosować taki sam system numeracji jak dla wzorów i rysunków, tj. numer tabeli powinien składać się z numeru rozdziału głównego, w którym wprowadzamy tabelę oraz z numeru tabeli w rozdziale. Odwołania do wzoru mogą się znaleźć dopiero po jego wprowadzaniu.

4. Metodologia rozwiązywania problemu, ocena założeń i wniosków z badań

Metodologia rozwiązywania problemu jest prawidłowa. Autor dla osiągnięcia celu pracy i weryfikacji tezy rozprawy sformułował siedem zadań szczegółowych wymienionych na stronach 5 i 6. Trafnie zauważył, że na podstawie stanu wiedzy można przyjąć założenia upraszczające, polegające na ograniczeniu rozważań do quasi-cyklicznych kodów LDPC (QC-LDPC). Następnie w sposób przemyślany i konsekwentny zrealizował zadania szczegółowe. Opisał strukturę i podstawowe właściwości kodera i dekodera LDPC, wybierając do dekodowania rodzinę algorytmów iteracyjnych, które są bardzo dobrze dostosowane do implementacji sprzętowych. Po analizie możliwych trudności obliczeniowych w przypadku implementacji sprzętowej dekodera LDPC, wybrał jedną z często stosowanych odmian algorytmu LLR-BP (*ang.* Long-Likelihood-Ratio Belief Propagation), znaną jako algorytm MS (*ang.* Min-Sum), który pozwala na znaczące uproszczenie implementacji sprzętowej.

W badaniach uwzględnił także znormalizowaną wersję algorytmu MS, tj. algorytm NMS (*ang.* Normalized Min-Sum), który również jest przybliżoną wersją algorytmu LLR-BP ale o mniejszym błędzie przybliżenia, co przekłada się na większą skuteczność dekodowania, ocenianą tutaj jako liczbę żądań retransmisji bloków danych. Ponieważ wybór zastosowanego algorytmu ma kluczowe znaczenie dla właściwości korekcyjnych dekodera, badania eksperymentalne przeprowadzono dla obu algorytmów, a wyniki zamieszczono w rozdziale 5.

Podstawą do oceny proponowanych rozwiązań jest wartość rozproszonej energii potrzebnej do rozwiązania rozpatrywanego problemu. Można ją znaleźć rozpatrując wartość mocy rozproszonej oraz czas w którym dokonuje się rozproszenie. Oba parametry są łatwo mierzalne. Moc rozpraszana w układach cyfrowych jest sumą mocy statycznej oraz mocy dynamicznej. Moc statyczną określa nam technologia wykonania układu cyfrowego. Moc dynamiczna zależy od rodzaju realizowanego zadania i jakości projektu. Mają na nią wpływ różne czynniki np. długość, w istocie pojemność, połączeń pomiędzy blokami funkcjonalnymi układu FPGA, na co projektant może mieć znaczący wpływ. Elementy składowe wpływające na moc dynamiczną można powiązać za pomocą wzoru (3.5) przytoczonego w pracy. Dysponując wzorem (3.5) dokonano analizy możliwych strat mocy w układach FPGA. Autor trafnie zauważył, że na wczesnym etapie projektowania układu cyfrowego w strukturze FPGA można wykorzystać narzędzia oferowane przez producentów. Przykład takiego narzędzia dla układów FPGA Intela (dawniej Altery) zamieszczono na stronach 35 i 36. Ponieważ opisane narzędzia, chociaż pomocne, nie pozwalają na dalszą skuteczną redukcję mocy dynamicznej, Autor dokonał analizy potencjalnej możliwości minimalizacji poboru mocy w zależności od poziomu projektu, wyróżniając tutaj system, oprogramowanie, zasoby FPGA oraz fizyczny proces wykonania. Zauważył, że chociaż minimalizacja poboru mocy powinna dotyczyć wszystkich poziomów projektu, to na niektórych poziomach można zaoszczędzić więcej mocy poprzez odpowiednie projektowanie, a na niektórych poziomach, możliwości redukcji mocy są znacząco mniejsze. Największych korzyści można się spodziewać na poziomie systemu i oprogramowania. Istotne korzyści można także odnieść poprzez odpowiednie wykorzystanie zasobów układu FPGA, co wymaga dobrej znajomości wewnętrznej struktury układu rekonfigurowalnego. Paradoksalnie niedoskonałości dostępnych narzędzi syntezy tworzą pole do bardziej energooszczędnego odwzorowania projektowanego układu w strukturze FPGA, ale bez wątpienia trudno poszukiwać, jak zauważył Autor, „istotnych korzyści na najniższych poziomach, zwykle optymalizowanych na poziomie procesu technologicznego wytwarzania układu scalonego.”

Ponieważ największej redukcji mocy dynamicznej można oczekiwać na poziomie projektowanego systemu, Autor rozważył różne koncepcje architektoniczne sprzętowej

realizacji dekodera LDPC, zwracając szczególną uwagę na dwie architektury – architekturę lokalnie synchroniczną lecz globalnie asynchroniczną oraz na architekturę z bramkowaniem sygnału zegarowego. Po pogłębionej analizie zalet i wad obu architektur doszedł do wniosku, że obiecującym rozwiązaniem może być połączenie rozproszonego układu sterowania typowego dla architektury lokalnie synchronicznej i globalnie asynchronicznej z koncepcją blokowania sygnału zegarowego. Zauważył, że dodatkowe ograniczenie mocy rozproszonej może przynieść minimalizacja liczby stanów na magistralach danych. Dalszą uwagę skupiono na szeregowo-równoległej realizacji dekodera LDPC, pomijając realizację szeregową i równoległą. Za odrzuceniem pierwszej z nich przemawia relatywnie mała przepustowość. Realizację równoległą odrzucono jako rzadziej stosowaną, przede wszystkim w implementacjach sprzętowych wymagających bardzo dużej przepływności. Architektura szeregowo-równoległa prezentuje kompromis pomiędzy przepływnością oraz potrzebnymi zasobami sprzętowymi i jest stosowana w wielu rozwiązaniach sprzętowych dekodów LDPC.

Autorską propozycję dekodera LDPC dla kodów cyklicznych tj. dekodera QC-LDPC wprowadzono w rozdziale 4.2. Nazwano ją dekoderm TR-Dec i pod taką nazwą funkcjonuje w dalszej części rozprawy. Jest to dekodery szeregowo-równoległy dla rodziny kodów QC-LDPC realizujący algorytm Min-Sum (rys. 4.8). Elementy proponowanej struktury oraz ich działanie opisano w sposób komunikatywny i wyczerpujący w rozdziałach od 4.3 do 4.9, zwracając szczególną uwagę na możliwość redukcji mocy rozproszonej. Propozycja Doktoranta realizuje rozproszony system sterowania z możliwością blokowania sygnału zegarowego oraz uwzględnia elementy integrujące dekodery ze środowiskiem testowym zaprojektowanym przez Autora. Są to układy obsługi komunikacji oraz układy obsługi wyniku, również zaprojektowane przez Autora.

Rozdział 5 poświęcono środowisku testowemu, które posłużyło do zbadania pracy dekodera QC-LDPC. W skład opracowanego środowiska weszły: symulator systemu transmisyjnego, programowy generator dekodów QC-LDPC, programowy kalkulator strat mocy i sprzętowe moduły FPGA, w których implementowano zaprojektowane dekodery. Szkoda, że opisowi złożonego środowiska testowego Autor poświęcił tylko 2,5 strony, co utrudnia pogłębioną analizę wyników badań opisanych w kolejnych podrozdziałach. Sam opis eksperymentów jest wyczerpujący, a rezultaty są prezentowane za pomocą licznych tabel i wykresów, co znacząco ułatwia ich interpretację. Badania mają charakter wielokryterialny i dotyczą wpływu różnych parametrów kodu, kanału, precyzji reprezentacji wiadomości oraz algorytmów MS i NMS na pracę dekodera. Zakres przeprowadzonych badań uważam za szeroki i wystarczający dla oceny pracy dekodera. Cenną częścią pracy są wskazówki projektowe zawarte w rozdziale 5.2.4.

W istocie są to wnioski z przeprowadzonych badań, które jednoznacznie wskazują na potrzebę wielokryterialnego, zindywidualizowanego podejścia do problemu redukcji mocy rozproszonej w przypadku zaistnienia potrzeby stworzenia energooszczędnego dekodera LDPC.

Porównanie propozycji Autora z rozwiązaniami standardowymi dekodów, także tych o konstrukcji równoległej przedstawiono w rozdziale 5.2.5. Interpretacja wyników jest trudna do przeprowadzenia ze względu na wpływ licznych parametrów oraz różnych technologii na zużycie energii. Nie znalazłem implementacji opisanej w literaturze, która miałaby identyczne parametry, co dekodery TR-Dec. Porównania zawarte w rozdziałach wcześniejszych, tabele od 2-10, w których jako referencja występuje dekodery standardowy S-Dec, dotyczą w istocie implementacji przeprowadzonych przez Autora i to pod pewnymi założeniami (str. 83, wiersze od 5-8 pod Tab. 1).

Zasadniczą część rozprawy kończy Podsumowanie, w którym Autor zawarł opis zrealizowanych zadań i eksperymentów. Słusznie wskazuje, że z punktu widzenia traczonej mocy dekodery LDPC implementowane w układach FPGA mogą w wielu sytuacjach być konkurencyjne w stosunku do LDPC zrealizowanych w układzie ASIC.

5. Oryginalne wyniki rozprawy

Podstawowym oryginalnym wynikiem rozprawy jest efektywna energetycznie architektura dekodera LDPC, która znacząco ogranicza straty energii przy jednoczesnym zachowaniu właściwości korekcyjnych w przypadku implementacji dekodera LDPC w układzie FPGA. Metodologię oraz schemat badań zaproponowane w pracy można także wykorzystać w procesie implementacji dekodera LDPC w układzie ASIC lub SoC, co może zmniejszyć zużycie energii w stosunku do implementacji znanych np. z prac [141-144], [148-150].

Za oryginalne cząstkowe osiągnięcia Autora należy uznać:

1. Propozycję rozproszonej architektury sterowania jednostkami obliczeniowymi dekodera.
2. Generator syntezy opisów dekodów kodów LDPC, który umożliwia syntezę różnorodnych dekodów o założonych parametrach projektowych i ustalonych parametrach macierzy kontrolnej H .
3. Metodę dystrybucji sygnałów zegarowych do poszczególnych elementów dekodera, z możliwością aktywowania lub blokowania sygnałów zegarowych dostarczanych do wydzielonych jednostek obliczeniowych.
4. Optymalizację budowy jednostek obliczeniowych, w szczególności nowy sposób normalizacji danych.

5. Opracowanie rozbudowanego i uniwersalnego programowo-sprzętowego stanowiska do syntezy różnorodnych dekodów LDPC.

6. Słabe strony rozprawy

Recenzowana rozprawa ma charakter wielowątkowy i w sposób szczegółowy przedstawia przesłanki, sposób implementacji oraz rezultaty implementacji w układzie FPGA dekodera LDPC. Wiele opisanych rozwiązań to autorskie propozycje Doktoranta. Są one istotne i użyteczne dla minimalizacji zużycia energii w przypadku implementacji dekodera w układzie FPGA. Niemniej jednak obiektywna ocena przewagi propozycji Doktoranta nad znanymi rozwiązaniami dekodów kodu QC-LDPC nastręcza wiele trudności. Wydaje się, że korzystniejszym rozwiązaniem byłby wybór przykładowych, dobrze opisanych dekodów LDPC, a następnie przeprowadzenie alternatywnej, energetycznie efektywnej implementacji tych dekodów w tych samych układach FPGA i dla tych samych wartości parametrów. Druga uwaga dotyczy technologii wykonania układu FPGA. Zabrakło analizy skuteczności proponowanej metody dla różnych technologii FPGA obecnych na rynku, np. dla układów firmy Xilinx (od 2020 roku część firmy AMD), czy Lattice Semiconductor. Trzecia uwaga dotyczy środowiska testowego, którego opis jest niewystarczający, a którego działanie ma istotne znaczenie dla oceny propozycji Doktoranta. Które fragmenty środowiska testowego opracowano, a które wykorzystano jako gotowe do użycia? Przykładowo, w pakiecie Simulink jest dostępny toolbox LDPC Encoder (Communications Toolbox/Error Detection and Correction/Block). Znane są także gotowe rozwiązania firmy Quasonix, Inc. (<https://www.quasonix.com/files/receiver-and-transmitter-low-density-parity-check-guide.pdf>).

7. Wniosek końcowy

Zgłoszone uwagi krytyczne nie zmieniają mojego przekonania, że rozprawa doktorska mgr inż. Mateusza Kuca wnosi nowe elementy do ważnego i aktualnego problemu budowy energooszczędnych dekodów kodów LDPC. Rozprawa zawiera oryginalne, dobrze udokumentowane propozycje, które są przydatne w naukach technicznych. Na podkreślenie zasługuje bardzo duży zakres prac badawczych i implementacyjnych wykonanych przez Doktoranta oraz staranne przygotowanie tekstu i szaty graficznej rozprawy.

Recenzowana praca doktorska spełnia wymagania stawiane rozprawom doktorskim, zgodnie z Ustawą o stopniach i tytule naukowym oraz o stopniach i tytule w zakresie sztuki z dnia 14 marca 2003 r. (Dz.U. z 2017 r. poz. 1789), oraz zgodnie z Ustawą z 3 lipca 2018 r. – Przepisy wprowadzające ustawę - Prawo o szkolnictwie wyższym i nauce (Dz.U. z 2018 r. poz. 1669 z późn. zm.) w dziedzinie nauk inżynieryjno-technicznych, w dyscyplinie automatyka, elektronika i elektrotechnika, wnoszę o przyjęcie rozprawy i jej dopuszczenie do publicznej obrony.