

Autor: mgr inż. Mateusz Kuc

Streszczenie

Temat: "Energooszczędny dekodery kodów LDPC implementowany w układzie FPGA"

Rozwój technologiczny umożliwił realizację rozbudowanych systemów cyfrowych w postaci specjalizowanych układów scalonych. Jednym z przykładów takich systemów mogą być dekodery LDPC, które zyskują coraz większą popularność. Stosuje się je w różnego typu systemach transmisji danych, wśród których można znaleźć coraz więcej systemów implementowanych w urządzeniach mobilnych. W związku z powyższym niezmiernie istotne stają się poszukiwania energooszczędnych konstrukcji dekodery LDPC, które zapewnią dłuższą pracę urządzenia elektronicznego bez potrzeby wymiany źródła zasilania lub częstego ładowania akumulatorów. Poszukiwania takich rozwiązań stały się przedmiotem badań przedstawionych w dysertacji doktorskiej.

Istota prac sprowadzała się do poszukiwania efektywnej energetycznie architektury dekodera LDPC, pozwalającej znacząco ograniczyć straty energii przy jednoczesnym zachowaniu właściwości korekcyjnych stosowanych rozwiązań. Rozważano różnego typu koncepcje układowe, wśród których szczególną uwagę zwrócono na układy typu GALS. Specyfika procesu dekodowania kodów LDPC, sprowadza się jednak do sekwencyjnego wykonywania obliczeń, co sprawia, że trudno szukać istotnych energetycznych korzyści w zastosowaniu asynchronicznych mechanizmów wymiany danych i lokalnym obniżaniu częstotliwości sygnałów zegarowych. W tej sytuacji poszukiwania ukierunkowano na rozwiązania, w których uaktywniane są kolejne moduły obliczeniowe, a proces obliczeń powiązany jest z sekwencyjnym odblokowywaniem lokalnego sygnału zegarowego. Efektem prac związanych z licznymi eksperymentami jest zaproponowana architektura dekodera, zwana przez analogię do rozwiązań sieciowych architekturą typu "Token Ring". Specyfika rozwiązania sprzętowego polega na sekwencyjnym „przesuwania żetonu” uaktywniającego lokalne sygnały zegarowe w kolejnych modułach obliczeniowych. Ważnym aspektem poszukiwań są również liczne rozwiązania ukierunkowane na efektywne odzwierciedlenia technologiczne algorytmów obliczeniowych w zasobach sprzętowych układów FPGA typu tablicowego.

Istotnym elementem pracy było zbadanie zależności pomiędzy założeniami projektowymi, parametrami macierzy kontrolnej H , a cechami charakteryzującymi dekodery LDPC. Pozwoliło to na określenie zależności, na podstawie których sformułowano wskazówki projektowe, pozwalające na implementację efektywnej energetycznie dekodera LDPC, spełniającego określone w założeniach projektowych wymagania.

Przedstawiona w pracy metodologia badawcza może z powodzeniem być wykorzystana do analizy dowolnych parametrów macierzy kontrolnych H i parametrów projektowych mających na celu określenie ich zależności z cechami dekodera LDPC.

Przedstawione rozwiązania mogą znaleźć zastosowanie w praktyce inżynierskiej, pozwalając tym samym uzyskać energooszczędne urządzenia elektroniczne z wbudowanymi dekodery LDPC.