

prof. dr hab. inż. Ryszard SZPLET
Wydział Elektroniki
Wojskowa Akademia Techniczna

Warszawa, 2 grudnia 2022 r.

POLITECHNIKA ŚLĄSKA
Biuro Rady Dyscypliny
Automatyka, Elektronika, Elektrotechnika
i Technologie Kosmiczne

wpłynęło dnia 25.12.2023

nr 3 zał.

RECENZJA

rozprawy doktorskiej mgr. inż. Ernesta ANTOLAKA
na temat

„OPRACOWANIE EFEKTYWNEJ METODOLOGII DOPASOWYWANIA STRUKTURY SPRZĘTOWEJ ORAZ OPTYMALIZACJA ZASOBÓW SYSTEMU PRET DO WYMAGAŃ CZASOWYCH ZADAŃ”

1. Ogólna charakterystyka i cel rozprawy

Przedstawiona do recenzji rozprawa doktorska jest poświęcona zagadnieniom projektowania systemów mikroprocesorowych, a w szczególności analizie i opracowaniu rekonfigurowanej architektury systemu przewidywalnego czasowo, tj. systemu PRET (*PRECision-Timed*), oraz adekwatnej metodyki harmonogramowania zadań.

Dynamicznie zwiększająca się popularność aplikacyjna systemów mikroprocesorowych skutkuje coraz liczniejszymi i bardziej złożonymi zadaniami realizowanymi przez procesory. W wielu popularnych zastosowaniach, takich jak chociażby smartfony, układy sterowania domu inteligentnego lub roboty przemysłowe, oczekuje się, że system mikroprocesorowy będzie wchodzić w interakcje ze środowiskiem fizycznym w czasie rzeczywistym. Dopuszczalna jest jednak pewna nieokreśloność czasowa w tym zakresie. Inaczej rzecz się ma w aplikacjach określanych jako krytyczne czasowo, jak na przykład aparatura medyczna, lotnicze systemy nawigacyjne czy samochodowe systemy bezpieczeństwa, w których zadania powinny być realizowane w ściśle określonych i nieprzekraczalnych ramach czasowych, gdyż ich naruszenie może zagrażać bezpieczeństwu, a nawet życiu.

Wydaje się, że systematyczny rozwój mikroelektroniki, umożliwiający wytwarzanie coraz bardziej wydajnych procesorów, powinien sprzyjać sprostaniu wspomnianym wyżej wymaganiom czasowym. Jednakże, rosnąca złożoność najnowszych procesorów wielordzeniowych powoduje, że opracowywanie oprogramowania działającego w czasie rzeczywistym, a w szczególności precyzyjne przewidywanie szybkości jego wykonywania stało się niezwykle kłopotliwe. Z wielu względów platformą technologiczną najlepiej predestynowaną do eksperymentowania w tym zakresie są układy programowalne, a zwłaszcza programowalne matryce bramkowe FPGA (*Field Programmable Gate Arrays*). Stwarzają one możliwość opracowywania najbardziej

pożądaney architektury jednostki sprzętowej szybciej i taniej niż na przykład z użyciem techniki układów specjalizowanych ASIC (*Application Specific Integrated Circuits*). Istotną zaletą układów FPGA w kontekście tematu rozprawy, dostrzeżoną i efektywnie zastosowaną przez Autora, jest ich reprogramowalność, zapewniająca nie tylko dużą elastyczność platformy sprzętowej na etapie projektowania, ale także umożliwiającą potencjalnie optymalne dopasowanie architektury jednostki sprzętowej do rozważanego scenariusza.

Zatem zarówno z uwagi na istotne bieżące znaczenie zagadnień związanych z opracowywaniem oprogramowania przewidywalnego czasowo, jak i wybraną do eksperymentu platformę technologiczną, temat rozprawy jest aktualny, a zważywszy na dużą złożoność oraz rozległość związanych z nim problemów, wydaje się też stosunkowo trudny.

Recenzowana rozprawa jest obszerna i liczy 214 stron. Podzielona została na 8 rozdziałów, uzupełnionych o bibliografię i dodatki, zawierające m.in. wzory i algorytmy autorstwa Doktoranta opublikowane przez Niego w czasopismach międzynarodowych.

W rozdziale wprowadzającym Autor przekonująco uzasadnia potrzebę podjęcia prac projektowo-badawczych w zakresie optymalizacji sprzętowej i harmonogramowania zadań w systemach przewidywalnych czasowo oraz anonsuje zastosowaną platformę technologiczną. Następnie formułuje główną i pomocnicze tezy rozprawy. W tezie zasadniczej Autor stwierdza, że: *„Metodologia dopasowywania struktury oraz zasobów systemu PRET do wymagań czasowych wykonywanych zadań, pozwala na efektywną implementację sprzętową krytycznie przewidywalnego systemu czasu rzeczywistego”*, co będzie następnie skutecznie dowodzone w kolejnych rozdziałach rozprawy. Cztery tezy pomocnicze dotyczą wybranych aspektów przeprowadzonego procesu badawczego, związanych z (1) zastosowanym językiem opisu sprzętu, (2) czasami wykonywania zadań w zoptymalizowanych systemach PRET, (3) cechami metody przeplotu wątków i (4) relacją angażowanych przez system zasobów sprzętowych z energią niezbędną do jego funkcjonowania.

W następnym rozdziale pracy Autor dokonuje zwięzłego przeglądu stosowanych obecnie rozwiązań pięciu najistotniejszych według Autora problemów, ograniczających przewidywalność czasową realizacji zadań w systemach mikroprocesorowych.

W kolejnym, trzecim rozdziale Autor zajmuje się zagadnieniami podstawowymi dla podjętej tematyki, w szczególności zaś formułuje założenia określone w celu implementacji badanego systemu, dotyczące stosowanego języka opisu sprzętu (*Verilog*) oraz platformy sprzętowej (układ programowalny *Virtex-7*, *AMD/Xilinx*) i środowiska programistycznego (*QuestaSim 10.6a*, *MentorGraphics* oraz *Vivado 2018.3*, *AMD/Xilinx*).

Zasadnicze wyniki własnej pracy analityczno-projektowej Autora prezentowane są w czterech kolejnych rozdziałach dysertacji. Rozdział czwarty zawiera szczegółowy opis

koncepcji proponowanej architektury systemu PRET, która w wyniku przyjętych założeń powinna być konfigurowalna, wielordzeniowa i wielowątkowa, z zastosowaniem przepłotu wątków.

W obszernych rozdziałach piątym i szóstym opisane są szczegółowo: (1) projekt proponowanego systemu, inspirowany architekturą procesorów ARM, (2) sposób jego implementacji w układzie FPGA z użyciem rozwiązań autorskich oraz (3) metodyka harmonogramowania zadań z dogłębną analizą algorytmów podziału i szeregowania zadań.

Przedsięwzięcia podjęte w celu weryfikacji poprawności działania zaproponowanego systemu przedstawione są w rozdziale siódmym. Dokładnie sprawdzone i udokumentowane zostały konfigurowalność systemu, jego przewidywalność czasowa, proces harmonogramowania zadań, a także potencjalna moc strat systemu i wielkość angażowanych przez niego zasobów logicznych układu programowalnego dla kilku odmiennych konfiguracji systemu.

Podsumowanie dysertacji, znajdujące się w rozdziale ósmym, w sposób zwięzły reasumuje wkład wszystkich opisanych w rozprawie propozycji Autora w ulepszenie procesu projektowania i poprawę parametrów cyfrowych systemów przewidywalnych czasowo. Jednocześnie potwierdzona zostaje pozytywna weryfikacja wszystkich postawionych na wstępie hipotez, formułowanych głównie w związku z proponowanymi modyfikacjami.

2. Charakter rozprawy

Pod względem objętościowym w pracy zdecydowanie dominują fragmenty dotyczące ważnych aspektów projektowania i implementacji układowej różnych wariantów opracowanego systemu. Rozdziały poświęcone tym zagadnieniom zajmują niemal 2/3 treści rozprawy. W pracy w sposób obszerny (około 1/5 objętości rozprawy) udokumentowane są również przeprowadzone eksperymenty mające na celu weryfikację działania systemu, zbadanego w kilku konfiguracjach adekwatnych do analizowanych kryteriów. Zatem rozprawę kwalifikuję jako projektowo-badawczą.

3. Źródła literaturowe i sposób ich analizy

Zamieszczony w pracy wykaz literatury zawiera 98 pozycji, niemal wyłącznie w języku angielskim, w tym 4 pozycje, których współautorem jest p. Ernest Antolak. Wykaz ten obejmuje zdecydowaną większość ważnych, fundamentalnych publikacji dotyczących tematyki poruszanej w rozprawie. Analiza stanu wiedzy nie jest zakrojona zbyt szeroko, a raczej nakierowana na wybrane problemy (np. przepłot wątków, organizacja pamięci, dodatkowe instrukcje procesora), bezpośrednio związane z realizowaną pracą. Przedstawiony w rozprawie przegląd dotychczasowych rozwiązań

w zakresie jej tematyki, mimo że obejmuje zaledwie jeden krótki rozdział pracy, jest wystarczający i adekwatny do zakresu badań, a konsekwentny sposób analizy tychże rozwiązań świadczy o dużym rozeznaniu Autora zarówno w ujęciu merytorycznym problemu, jak i samej literaturze przedmiotu.

4. Rozwiązanie postawionego zadania

Ogólne podejście do rozwiązania postawionego zadania jest prawidłowe. Autor analizuje najpierw ograniczenia istniejących systemów mikroprocesorowych i stosowanych w nich rozwiązań oraz formułuje wnioski będące podstawą założeń projektowych. Następnie w sposób przemyślany proponuje szereg modyfikacji w zakresie architektury systemu, modelowania zadań i ich harmonogramowania, zmierzających do wieloaspektowych ulepszeń systemu przewidywalnego czasowo, po czym przechodzi do projektowania, implementacji oraz badań kilku wariantów takiego systemu. Proces projektowy realizowany jest z wykorzystaniem adekwatnych komputerowych środowisk projektowych (Vivado, *Xilinx*) i symulacyjnych (QuestaSim, *MentorGraphics*). Sposób rozwiązania prezentowany w rozprawie jest więc koncepcyjnie kompletny i obejmuje główne etapy procesu projektowo-badawczego od przedstawienia założeń, przez opracowanie systemu, aż po weryfikację prawidłowości jego działania i uzyskanych parametrów. Wyniki badań opracowanego systemu potwierdzają z kolei poprawność merytoryczną zaproponowanych modyfikacji.

5. Oryginalność rozprawy

Nakreślony przez autora główny cel pracy, dotyczący opracowania istotnie zmodyfikowanego modelu wielordzeniowego parametryzowanego systemu PRET o podwyższonej przewidywalności czasowej realizacji zadań, to zamierzenie ambitne i stosunkowo rozległe tematycznie. Jego realizacja wymagała dużego rozeznania w zakresie rozwiązań stosowanych w technice mikroprocesorowej i systemach czasu rzeczywistego oraz sporej sprawności w projektowaniu systemów wbudowanych. Podczas opracowania systemu, Autor oprócz biegłej znajomości różnych architektur systemów czasu rzeczywistego i języka Verilog wykazał się umiejętnością opracowywania programów w języku C#. W języku tym utworzył na przykład kompilator konwertujący kod asemblera na kod maszynowy zaprojektowanego systemu oraz symulator umożliwiający między innymi symulację czasową systemu.

Sposoby i efekty pomyślnej realizacji zadań prowadzących do osiągnięcia tego celu są szczegółowo opisane w rozprawie, która zawiera co najmniej kilka elementów będących istotnymi oryginalnymi osiągnięciami Autora. Do najważniejszych należą:

- Dokonanie szczegółowej analizy oraz opracowanie i zaimplementowanie parametryzowanej architektury przewidywalnego czasowo systemu wbudowanego.

Istotne w tym kontekście jest określenie zestawu parametrów, w tym kilku głównych, definiujących na przykład liczby przetwarzanych rdzeni i zadań, które w decydujący sposób wpływają na architekturę systemu i jej dopasowanie do realizowanych zadań i wymagań czasowych.

- Pomyślnie opracowanie powyższej architektury wymagało od Autora rozwiązania dodatkowych problemów projektowych, takich chociażby jak opisane w rozprawie opracowanie i zaimplementowanie magistral wymiany danych (jedno- i dwukierunkowej), zaprojektowanie i zaprogramowanie kompilatora zadań, a także opracowanie programu szeregowania zadań.
- Zaproponowanie i zweryfikowanie szeregu autorskich algorytmów (BLTS bazujący na BLIS i COTAS) i metodyk (MINRES, MAXPRO, SFERA) statycznego harmonogramowania zadań, których implementacja w systemach typu PRET, zapewnia ich przewidywalność czasową, uzyskiwaną jeszcze przed uruchomieniem systemów. Statyczne harmonogramowanie jest rozwiązaniem znanym, ale mechanizm ten został przez Autora znacznie zmodyfikowany. Dzięki chociażby autorskiemu podziałowi zadań (m.in. na zadania o stałym, minimalnym i maksymalnym czasie realizacji), rośnie gwarancja wykonania krytycznych zadań systemu w precyzyjnie określonym terminie. Warto podkreślić, że zaproponowane algorytmy i metodyki zostały już przez Autora opublikowane w czasopismach międzynarodowych (ref. [53] i [73]).
- Zaproponowanie i przeprowadzenie szeregu badań symulacyjnych opracowanego systemu, których wyniki mają stosunkowo uniwersalny charakter, przez co są szczególnie interesujące i wartościowe. Dotyczy to zwłaszcza badań nad zapotrzebowaniem systemu na zasoby logiczne układu programowalnego (p. 7.1.2) oraz energię elektryczną (p. 7.1.3), przeprowadzonych także w ujęciu konfrontacyjnym systemów jedno- i wielozadaniowego (p. 7.1.4).

6. Poprawność przedstawienia uzyskanych wyników

Oceniając strukturę przedłożonej rozprawy, należy stwierdzić, że jest ona klarowna i generalnie poprawna. Praca napisana jest w sposób przejrzysty i w zdecydowanej jej większości komunikatywny. Bardzo obszernie dokumentowane są zarówno zrealizowane prace projektowo-implementacyjne (rozdziały 4 – 6, 120 stron), jak i uzyskane rezultaty przeprowadzonych badań weryfikujących poprawność zaproponowanych rozwiązań (rozdział 7, 45 stron). Z jednej strony duża obszerność zastosowanych opisów pozwala na przedstawienie całej złożoności procesu opracowywania proponowanej metodyki harmonogramowania i architektury systemu oraz zastosowanych rozwiązań, ale z drugiej strony sprawia, że nie zawsze opisy te są odpowiednio precyzyjne i jednoznaczne do interpretacji. Dotyczy to zarówno opisów architektury systemu (np. zawarty na str. 13 opis przykładu użycia koła pamięci, pokazanego na rys. 4), jak i prezentacji wyników

badani proponowanych rozwiązań (np. zawarty na str. 188 opis wyników badań zysku energetycznego, pokazanych na rys. 110). Należy w tym kontekście zauważyć, że komfort interpretowania treści prezentowanych na niektórych rysunkach (np. rys. od 103 do 106), uległby istotnej poprawie w wyniku częściowego chociażby rozwinięcia użytych na nich opisów, rozszerzenia podpisów pod rysunkami, albo dodania użytych skrótowców do spisu oznaczeń i symboli.

Ponadto, siłą rzeczy, w obszernym tekście trudniej ustrzec się drobniejszych błędów i usterek (informacja w p. 7.B recenzji), a także zachować konsekwencję formatowania, zwłaszcza rysunków (por. np. rys. 7 i rys. 12) i tabel (por. np. tab. 22 i tab. 24).

Jednakże, zważywszy na dużą objętość pracy i złożoność podejmowanych w niej zagadnień, docenić należy przezorność Autora, który jeden ze wstępnych podrozdziałów pracy (p. 3.1) poświęcił na przedstawienie przyjętej konwencji kreowania nazw modułów i sygnałów systemu wyspecyfikowanego w języku Verilog. W znacznym stopniu ułatwia to zapoznanie się z projektem oraz zrozumienie jego struktury i zasady działania.

7. Krytyczna ocena zawartości merytorycznej rozprawy

Zgodnie ze sformułowaną wcześniej opinią, ogólna koncepcja pracy i sposób rozwiązania postawionego zadania są poprawne, a uzyskane wyniki oceniane wysoko. Szczegółowa lektura rozprawy ujawnia jednak pewne braki i elementy dyskusyjne.

A. Uwagi o charakterze dyskusyjnym

- Jedną z głównych motywacji do podjęcia prac projektowych opisanych w rozprawie był zamiar opracowania „*modelu rekonfigurowalnej architektury wielozadaniowego systemu czasu rzeczywistego*” (rozprawa, str. 6), który się powiódł. Opracowana została parametryzowana architektura takiego systemu, dzięki czemu względnie łatwo, zmieniając wartości wybranych parametrów, można dopasować strukturę systemu do złożoności i liczby realizowanych zadań. Jednakże, modyfikacja struktury w drodze parametryzacji opisu sprzętu, z użyciem języka HDL, wymaga ponownej syntezy opisu i przygotowania nowego pliku konfiguracyjnego dla układu programowalnego. W ten sposób zaprojektowany system staje się dedykowanym jedynie do określonej aplikacji. Pewnym rozwiązaniem, które nasuwa się jako potencjalna alternatywa w tym kontekście, jest dynamiczna częściowa rekonfiguracja układu FPGA, przeprowadzana na przykład w momencie zmiany liczby zadań realizowanych w systemie. Wydaje się, że rozważenie takiego rozwiązania byłoby interesujące.
- Bez wątplenia istotną zaletą pracy jest bardzo obszernie udokumentowana kwestia weryfikacji poprawności opracowanej metodyki projektowania oraz prawidłowości działania i jakości architektury systemu PRET. Praca zawiera bowiem wyniki wielu badań symulacyjnych wykonanych w kilku aspektach (np. zajętość zasobów układu

programowalnego, zużycie energii) i licznych konfiguracjach systemu (np. odmienna liczba rdzeni, różne częstotliwości sygnału zegarowego). Proponowane scenariusze testowe bardzo dobrze sprawdziły się w odniesieniu do zaproponowanej architektury systemu weryfikowanej w wybranym układzie programowalnym. Jak już wspomniano, ich realizacja przyniosła szereg interesujących wyników. Jednakże pewien niedosyt pozostawia brak bezpośredniego porównania proponowanego rozwiązania z innymi znanymi rozwiązaniami tego typu. Wprawdzie Autor ubolewa nad tym w pracy (p. 8.1, str. 186), ale zadowala się opisem porównawczym. Wydaje się, że wobec wielu przeprowadzonych testów rozwiązania własnego, bardzo pożyteczne i zapewne jednoznacznie przekonujące byłoby przeprowadzenie eksperymentu porównawczego z chociażby jednym, przykładowym znanym rozwiązaniem.

- Zasadniczymi etapami przedstawionej pracy były projektowanie i implementacja parametryzowanej architektury systemu czasu rzeczywistego. Efektywność tych etapów w dużej mierze zależy od zastosowanego języka opisu sprzętu (HDL). Spośród dwóch powszechnie obecnie wykorzystywanych języków tego typu, tj. Verilog i VHDL, ten pierwszy, utworzony do modelowania i symulacji bramek logicznych, wydaje się bardziej predestynowany do specyfikacji niskopoziomowej (naturalnie wspiera np. *User-Defined Primitives*), a drugi, zawierający sporo użytecznych konstrukcji semantycznych (umożliwia między innymi definiowanie własnych typów danych, różnych architektur tej samej jednostki projektowej, parametryzację kodu), pozwala na zwięzłe i precyzyjniejsze opisywanie wysoce złożonych systemów cyfrowych. Jednak do realizacji projektu wybrany został język Verilog. Wskazanym byłoby więc uzasadnienie w czasie publicznej obrony tego wyboru.
- W podsumowaniu pracy Autor umieścił trzy zalecenia dla projektantów systemów PRET (str. 192). Pierwsze dwa, to sugestie dotyczące osiągnięcia jak największej energooszczędności systemu, a trzecie, to wskazówka odnosząca się do architektury systemu minimalizującej zapotrzebowanie na zasoby sprzętowe niezbędne do jego wykonania. Zalecenia wynikają z uzyskanych rezultatów i są bez wątpienia słuszne. Jednakże, zarówno w kontekście tytułu rozprawy, jak i głównej jej tezy oraz niektórych stwierdzeń w tekście rozprawy, jak np. „*Głównym celem tej rozprawy nie jest minimalizacja energii, ale przewidywalność czasowa.*” (str. 35), czytelnik oczekiwałby raczej zaleceń nakierowanych na wsparcie terminowego wykonywania zadań, zwłaszcza tych krytycznych czasowo.

B. Uwagi krytyczne mniejszej wagi

Jak już zauważono praca jest stosunkowo obszerna i mimo niewątpliwie dużego zaangażowania Autora w jej jak najlepsze opracowanie, dostrzeżono znaczną liczbą drobnych usterek językowych i stylistycznych, z których wybrane wymieniono poniżej.

- W tytule rozprawy i następnie wielokrotnie w jej treści użyty został termin „*metodologia*”, co budzi wątpliwości. Wydaje się, że biorąc pod uwagę kontekst, tj. określenie sposobu postępowania i zbioru zasad umożliwiających dopasowanie struktury sprzętowej do pewnych wymagań, właściwe byłoby użycie słowa „*metodyka*”. Metodologia to bowiem określenie nauki zajmującej się metodami. Takie rozumienie obydwu słów sugeruje chociażby *Słownik języka polskiego*, Wydawnictwa PWN, który definiuje je następująco: *metodologia* «nauka o metodach badań naukowych stosowanych w danej dziedzinie wiedzy», natomiast *metodyka* «zbiór zasad dotyczących sposobów wykonywania jakiejś pracy».
- Wątpliwości o podobnym charakterze dotyczą użycia w tekście terminu „*przewidywany*” w odniesieniu do układu (np. Wstęp, str. 5), w którym to kontekście właściwe byłoby słowo „*przewidywalny*”.
- W całej pracy można dostrzec sporo (1) usterek interpunkcyjnych (np. brakujące przecinki przed „*który*” lub „*co*” - wprowadzającym zdanie podrzędne), (2) błędów literowych (np. zamieszczony w spisie oznaczeń akronim CTMH – *Cooperative Thread Memory Hard* jest w całej pracy zapisywany jako CTHM), (3) błędów drugorzędnych (np. zapis „*energie*” zamiast „*energii*” lub „*prace*” zamiast „*pracy*”) i stylistycznych (jak powtórzenia wyrazów w zdaniu, np. „*Dodatkowo oprócz parametru [...], zaproponowali również dodatkowy parametr [...]*” lub „*[...] rozwiązaniach stosowanych w potokowych strukturach stosowanych [...]*”).
- Autor stara się unikać używania w pracy wyrażen niepoprawnych i zwrotów żargonowych, ale nie zawsze się to udaje (np. str. 11 – „*[...] może trwać różny okres czasu,*” lub str. 12 – „*[...] system nie pracuje na wysokich częstotliwościach.*”).
- Na str. 181 błąd formatowania (podpis pod rys. 105).
- Na str. 188 w tekście opisującym wyniki badań przedstawione na rys. 110 użyto innych numerów referencji niż na tymże rysunku, przez co właściwej korelacji można się jedynie domyślać.

Należy wyraźnie podkreślić, iż powyższe uwagi krytyczne i dyskusyjne, acz istotne, nie kwestionują wysokiej wartości merytorycznej opisanego przez doktoranta rozwiązania, a odnoszą się głównie do sposobu jego charakteryzacji.

8. Wnioski końcowe

Rozprawa mgr. inż. Ernesta Antolaka wnosi nowe istotne elementy do ważnego i aktualnego problemu projektowania systemów czasu rzeczywistego implementowanych w układach programowalnych. W szczególności Autor proponuje kilka nowatorskich modyfikacji (1) układowych, pozwalających w znacznym stopniu dopasować architekturę systemu do przetwarzanych zadań z zachowaniem przewidywalności czasowej, oraz (2) metodycznych, umożliwiających znalezienie określonego kompromisu pomiędzy

zapotrzebowaniem na zasoby logiczne układu cyfrowego niezbędne do realizacji systemu a jego mocą strat. Ponadto, Autor rozwiązuje kilka dodatkowych, ale istotnych w kontekście realizacji pracy problemów projektowych, dotyczących wymiany danych w systemie oraz szeregowania i kompilacji zadań, a także przeprowadza systematyczne, szczegółowe i wieloaspektowe badania zaproponowanych rozwiązań. Przedstawione w rozprawie metody rozwiązania zadań badawczych, uzyskane wyniki oraz sposoby ich prezentacji powodują, że praca jest interesująca i wartościowa naukowo. Autor wykazał przy tym dobre przygotowanie teoretyczne oraz umiejętności prowadzenia pracy naukowo-badawczej.

Uważam, że przedłożona rozprawa w pełni spełnia wymagania określone przez Ustawę o stopniach i tytule naukowym i może stanowić podstawę nadania stopnia doktora nauk inżynieryjno-technicznych w dyscyplinie Automatyka, Elektronika, Elektrotechnika i Technologie Kosmiczne. Wnoszę o jej dopuszczenie do publicznej obrony.